

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

© EPODOC / EPO

PN - JP2000216760 A 20000804
PD - 2000-08-04
PR - JP19990017828 19990127
OPD - 1999-01-27
TI - DATA TRANSMISSION SYSTEM AND METHOD FOR
TRANSMITTING CLOCK IN THE SAME SYSTEM
IN - HIGUCHI SHIGERU
PA - NIPPON ELECTRIC ENG
IC - H04L7/00 ; H04L29/08

© WPI / DERWENT

TI - Clock transmission procedure used in data transmission system involves transmitting clock from primary side apparatus to secondary side apparatus by transmitting data for every predetermined period

PR - JP19990017828 19990127

PN - JP2000216760 A 20000804 DW200051 H04L7/00 009pp

PA - (NIDE) NIPPON DENKI ENG KK

IC - H04L7/00 ;H04L29/08

AB - JP2000216760 NOVELTY - A data transmission system has a primary side apparatus (1) and a secondary side apparatus (2). The clock of the primary side apparatus is transmitted to the secondary side apparatus by performing a data transmission from the primary side apparatus to the secondary side apparatus for every predetermined period.

- DETAILED DESCRIPTION - An INDEPENDENT CLAIM is also included for a clock transmission system.
- USE - Used in data transmission system.
- ADVANTAGE - Enables continuous transmission of infinite-length data since the slippage of data is prevented by synchronizing the clock of the primary side apparatus with the secondary side apparatus.
- DESCRIPTION OF DRAWING(S) - The figure shows the component block diagram of the data transmission system.
- Primary side apparatus 1
- Secondary side apparatus 2
- (Dwg.1/6)

OPD - 1999-01-27

AN - 2000-553555 [51]

© PAJ / JPO

- PN - JP2000216760 A 20000804
- PD - 2000-08-04
- AP - JP19990017828 19990127
- IN - HIGUCHI SHIGERU
- PA - NEC ENG LTD
- TI - DATA TRANSMISSION SYSTEM AND METHOD FOR TRANSMITTING CLOCK IN THE SAME SYSTEM
- AB - PROBLEM TO BE SOLVED: To transmit consecutive data of infinite lengths by transmitting a CLK of a primary side to a secondary side and operating a data transmission system synchronously with the CLK, so as to conduct the transmission causing neither slips nor re-transmission.
- SOLUTION: In the primary side, an Ir transmission timing generating section 13 counts a CLK of an I430 interface 11 for generating an interrupt timing. Furthermore, an Ir-DA interface 12 transmits/receives data with a period of I430 frame CLK set in advance by the interrupt timing. In the secondary side, when an Ir interface 20 detects a valid reception interrupt, a CPU 22 reads the count of a CLK counter 25, controls a VCO 24 in response to the difference from a set value to match the CLK of an I430 interface 21 with the primary side CLK.
- I - H04L7/00 ;H04L29/08

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-216760

(P2000-216760A)

(43) 公開日 平成12年8月4日 (2000.8.4)

(51) Int.Cl.

H04L 7/00

識別記号

29/08

F I

H04L 7/00

13/00

テ-コ-ド (参考)

B

Z

307Z

審査請求 未請求 請求項の数14 O L (全 9 頁)

(21) 出願番号

特願平11-17828

(22) 出願日

平成11年1月27日 (1999.1.27)

(71) 出願人 000232047

日本電気エンジニアリング株式会社

東京都港区芝浦三丁目18番21号

(72) 発明者 樋口 繁

東京都港区芝浦三丁目18番21号 日本電気
エンジニアリング株式会社内

(74) 代理人 100088812

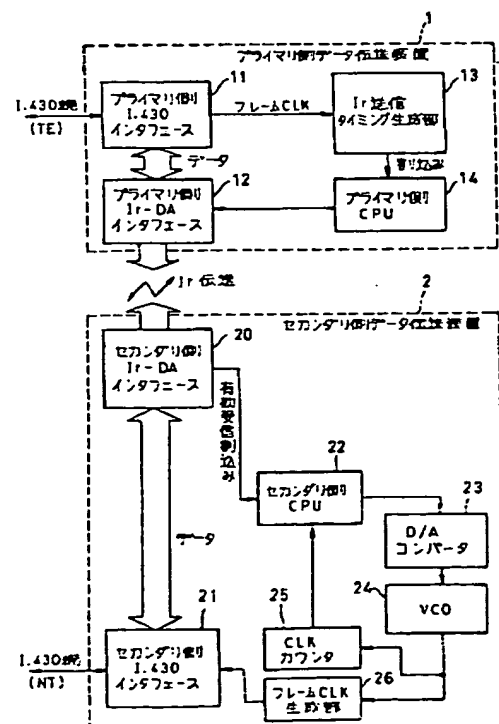
弁理士 ▲柳▼川 信

(54) 【発明の名称】 データ伝送システム及びそのシステムにおけるクロック伝送方法

(57) 【要約】

【課題】 プライマリ側のCLKをセカンダリ側に伝送し、そのCLKに同期して動作することにより、スリッパや再送の起こらない伝送を行うことで連続した無限長データの伝送を行えるようにする。

【解決手段】 プライマリ側では、I. 430インターフェース11のCLKをIr送信タイミング生成部13でカウントし割込みタイミングを生成する。また、Ir-DAインターフェース12は割込みタイミングで予め設定されたI. 430フレームCLK分のデータを送受信する。セカンダリ側では、Irインターフェース20が有効受信割込みを検出すると、CPU22がCLKカウンタ25のカウント値を読み込み、設定された値とのズレに応じてVCO24を制御し、I. 430インターフェース21のCLKをプライマリ側CLKに合わせる。



30データを送受信する。

【0012】一方、セカンダリ側Irフレーム送受信手段は、Irの有効受信割込みが発生したらCPUに割込みをかけると同時に規定回数分のI. 430データを送受信する。クロック同期手段は、Irの有効受信割込みが入ったらセカンダリ側のI. 430のCLKカウンタの値を読み、規定回数より多いか少ないかを判断しVCOの値を制御することで、セカンダリ側I. 430のクロックをプライマリ側I. 430のクロックに同期させる。

【0013】つまり、所定期間でデータを伝送することによりプライマリ側の伝送クロックをセカンダリ側の伝送クロックとし、これにより連続する無限長のシリアルデータを非同期伝送部を介してプライマリ-セカンダリ間で伝送できるのである。

【0014】

【発明の実施の形態】次に、本発明の実施の一形態について図面を参照して説明する。なお、以下の説明において参照する各図においては、他の図と同等部分には同一符号が付されている。

【0015】図1は本発明によるデータ伝送システムの第1の実施の形態を示すブロック図である。同図を参照すると、プライマリ側データ伝送装置1は、プライマリ側のI. 430インタフェースとデータ送受信をするプライマリ側I. 430インタフェース11と、セカンダリのIrインタフェースとデータの送受信をするプライマリ側Ir-DA (Data Association) インタフェース12と、I. 430のフレームクロックをカウントしてCPUに割込みタイミングを送出するIr送信タイミング生成部13と、割込みによってI. 430インターフェースとIrのデータを伝送するための制御をするプライマリ側CPU14とを含んで構成されている。このプライマリ側データ伝送装置1は、I. 430網における端末装置 (TE; Terminal Equipment) となる。

【0016】一方、セカンダリ側データ伝送装置2は、プライマリ側とIrのデータ送受を行うセカンダリ側Ir-DAインタフェース20と、セカンダリ側I. 430インターフェースとデータの送受信をするセカンダリ側I. 430インタフェース21と、Irの有効受信割込みによって起動しセカンダリ側のCLK制御及びデータ伝送制御を行うセカンダリ側CPU22と、セカンダリ側I. 430のCLKの発振元になるVCO24 (Voltage Controlled Oscillator) と、このVCO24を制御するD/Aコンバータ23と、VCOのCLKからセカンダリ側I. 430インタフェース21のクロックを生成するフレームCLK生成部26と、VCO24のクロックをカウントするCLKカウンタ25とを含んで構成されている。このセカンダリ側データ伝送装置2は、I. 430網における網

終端装置 (NT; Network Termination) となる。

【0017】次に、図1の回路動作について図2を参照して説明する。同図はプライマリ側データ伝送装置の動作を示すフローチャートである。

【0018】まず、プライマリ側データ伝送装置1のプライマリ側I. 430インタフェース11は、I. 430と下位レイヤを張っておく。プライマリ側Ir-DAインタフェース12は、セカンダリ側データ伝送装置2のセカンダリ側Ir-DAインタフェース20とIr-DAの手順に従ってネゴシエーションしデータ伝送速度を決める。そのとき同時に一回のIrフレーム伝送で送信するI. 430のフレーム数を決める (ステップS21)。

【0019】この場合、CPUの処理能力を考慮し、例えば64~128フレームとする。ここで、このフレーム数を多くするとセカンダリ側で伝送レートを修正する時間が長くなるので、注意が必要である。

【0020】次に、このとき決めたI. 430フレーム伝送数をIr送信タイミング生成部13に設定する (ステップS22)。以上がプライマリ側における初期設定動作である。

【0021】Ir送信タイミング生成部13は、プライマリ側I. 430インタフェース11から来るI. 430のフレームCLKをカウントし前もって設定されたカウント値になったらプライマリ側CPU14に対して割込みを発生する (ステップS23)。プライマリ側CPU14は、割込みを受けたらプライマリ側Ir-DAインタフェース12に対してIrのデータ送受信要求をする (ステップS24)。以上がプライマリ側における常時制御動作である。

【0022】プライマリ側Ir-DAインタフェース12は、データ送受信要求を受けるとプライマリ側I. 430インタフェース11からのデータを、前もってネゴシエーションで設定したI. 430のフレームCLK分だけ送信する。それと同時に、セカンダリ側Ir-DAインタフェース20から受信しプライマリ側I. 430インタフェース11に受信データとして渡す。

【0023】ここで、図3は図1中のセカンダリ側データ伝送装置の動作を示すフローチャートである。

【0024】セカンダリ側データ伝送装置2のセカンダリ側I. 430インタフェース21はセカンダリ側I. 430網に対して下位レイヤを張っておく。プライマリ側データ伝送装置1とのネゴシエーションで決めたI. 430のフレームCLK数に基づいて (ステップS31)、一回のIrのフレーム伝送でカウントされるべきCLKカウンタ25の値を、セカンダリ側CPU22は認識しておく (ステップS32)。それと同時にD/Aコンバータ23に対してその値となるようにデータを設定する。以上がセカンダリ側における初期設定動作であ

る。

【0025】D/Aコンバータ23はセカンダリ側CPU22からのデータに基づきVCO24に対して制御電圧を出力する。フレームCLK生成部26はVCO24からのCLKでセカンダリ側I. 430インタフェース21にフレームCLKを生成して供給する。

【0026】先のプライマリ側データ伝送装置1からのIrのデータを受けて、セカンダリ側Ir-DAインタフェース20が有効受信割込みをセカンダリ側CPU22にかけたとき(ステップS33→S34)、セカンダリ側CPU22はCLKカウンタ25の値を読み込む。また、セカンダリ側Ir-DAインタフェース20はプライマリ側データ伝送装置1から受けたデータをセカンダリ側I. 430インタフェース21に送出する。それと同時に前回の送信からためて置いたセカンダリ側I. 430インタフェース21からの送信データをプライマリ側Ir-DAインタフェース12に対して送信する。

【0027】次に、CLKカウンタの値と設定された値とが一致するか判断される(ステップS34)。セカンダリ側CPU22は読んだ値が、設定された値と同一だったとき前回D/Aコンバータ23に書込んだ値と同じ値をD/Aコンバータ23に書込む(ステップS37)。

【0028】また、CLKカウンタ25の値が設定された値より多かったときには、CLKが速いということであるため、VCO24のCLKの値がずれた分遅くなるようにD/Aコンバータ23に対してデータを書込む(ステップS36)。同様にCLKカウンタ25の値が少なかったときには、CLKが遅いということであるためVCO24のCLKの値がずれた分遅くなるようにD/Aコンバータ23に対してデータを書込む(ステップS35)。以上がセカンダリ側における常時制御動作である。

【0029】以上の動作を繰返し行い、プライマリ側データ伝送装置1とセカンダリ側データ伝送装置2のI. 430インタフェースの動作CLKを一致させるのである。これにより、プライマリ-セカンダリ間でデータのスリップが発生しないのである。また、クロックの同期によってデータのスリップが発生せず、バッファへの蓄積及び再送が無くなることにより、連続した無限長のデータを伝送できるのである。

【0030】ここで、D/Aコンバータ23は、図4に記載されているように、CPU22から送られてくるデータを保持するラッチ23aと、このラッチ23aの出力をアナログ電圧に変換するD/A変換部23bとを含んで構成されている。この場合、例えば、0～5Vのアナログ電圧を12bitで表現するものとするれば、CPU22から出力される12bitのデータを一旦ラッチ23aに保持し、この保持出力データをD/A変換部23bでアナログ電圧に変換するのである。

【0031】次に、本発明の第2の実施の形態について図面を参照して詳細に説明する。

【0032】図5を参照すると、セカンダリ側データ伝送装置2は、プライマリ側とIrのデータ送受を行うセカンダリ側Ir-DAインタフェース20と、セカンダリ側I. 430インタフェースとデータの送受信をするセカンダリ側I. 430インタフェース21と、Irの有効受信割込みによって起動しセカンダリ側のCLK制御及びデータ伝送制御を行うセカンダリ側CPU22と、セカンダリ側I. 430のCLKの発振元になるVCO24と、VCOを制御するD/Aコンバータ23と、VCOのCLKからセカンダリ側I. 430インタフェース21のクロックを生成するフレームCLK生成部26と、VCOのクロックをカウントするCLKカウンタ25と、CLKカウント値を一時保持するメモリ27と有効受信割込みが正常にきたかを監視する割込みタイミング監視タイマ28とで構成している。

【0033】次に、図5中のセカンダリ側データ伝送装置2の動作について、図6のフローチャートを参照して説明する。

【0034】セカンダリ側データ伝送装置2のセカンダリ側I. 430インタフェース21はセカンダリ側I. 430網に対して下位レイヤを張っておく。プライマリ側データ伝送装置1とのネゴシエーションで決めたI. 430のフレームCLK数に基づいて(ステップS51)、一回のIrのフレーム伝送でカウントされるべきCLKカウンタ25の値をセカンダリ側CPU22は認識しておく(ステップS52)。それと同時にD/Aコンバータ23に対してその値となるようにデータを設定するためのデータをメモリ27に書込む。以上がセカンダリ側における初期設定動作である。

【0035】D/Aコンバータ23はメモリ27のデータに基づきVCO24に対して制御電圧を出力する。フレームCLK生成部26はVCO24からのCLKでセカンダリ側I. 430インタフェース21にフレームCLKを生成して供給する。

【0036】先のプライマリ側データ伝送装置1からのIrのデータを受けて、セカンダリ側Ir-DAインタフェース20が有効受信割込みをセカンダリ側CPU22にかけたとき(ステップS53→S54)、セカンダリ側CPU22はCLKカウンタ25の値を読み込む(ステップS53)。またセカンダリ側Ir-DAインタフェース20はプライマリ側データ伝送装置1から受けたデータをセカンダリ側I. 430インタフェース21に送出する。それと同時に、前回の送信からためて置いたセカンダリ側I. 430インタフェース21からの送信データをプライマリ側Ir-DAインタフェース12に対して送信する(ステップS55)。

【0037】次に、CLKカウンタの値と設定された値とが一致するか判断される(ステップS56)。セカン

ダリ側CPU22は読んだ値が、設定された値と同一だったとき前回メモリ27に書込んだ値と同じ値を書込む(ステップS61)。

【0038】また、CLKカウンタ25の値が設定された値より多かったときには、CLKが速いということであるため、VCO24のCLKの値がずれた分遅くなるようにメモリ27に対してデータを書込みD/Aコンバータ23を制御する(ステップS60)。同様にCLKカウンタ25の値が少なかったときには、CLKが遅いということであるためVCO24のCLKの値がずれた分遅くなるようにメモリ27に対してデータを書込みD/Aコンバータ23を制御する(ステップS59)。以上がセカンダリ側における常時制御動作である。以上がセカンダリ側における常時制御動作である。

【0039】以上の動作を繰返し行い、プライマリ側データ伝送装置1とセカンダリ側データ伝送装置2とのI.430インタフェースの動作CLKを一致させる。

【0040】ここで、プライマリ側データ伝送装置1とセカンダリ側データ伝送装置2間のIr伝送上で遮断等により伝送不具合が発生したとき、セカンダリ側データ伝送装置2の割込みタイミング監視タイマ28はIrの有効受信割込みが入らないためタイムアウトする(ステップS53→S57)。割込みタイミング監視タイマ28はタイムアウトしたことをセカンダリ側CPU22に伝え、セカンダリ側CPU22はメモリ27に保持されている過去のデータを読み込みその平均値をD/Aコンバータ23の制御データとしてメモリ27に書込む(ステップS57→S58)。

【0041】このことで、データ遮断中でもセカンダリ側I.430CLKが大きくずれることを防ぐ。

【0042】なお、上述した各実施形態においては、Ir伝送を行う場合について説明したが、この伝送に限らずフレーム伝送を行うデータ通信で伝送単位が一定な伝送について本発明を適用できることは明らかである。もっとも、Ir伝送の場合には、プライマリ側セカンダリ間で通信を始める前にネゴシエーション上で伝送するフレーム数を決定するようになっているので、そのフレーム数を決定する手順を追加する必要はないというメリットがある。

【0043】ところで、本システムにおいては、プライマリ側装置とセカンダリ側装置との間でクロックが伝送されていることになる。すなわち、プライマリ側装置からセカンダリ側装置に対して所定周期毎にデータ伝送を行うことにより、プライマリ側装置のクロックを伝送しているのである。そして、プライマリ側装置は予め定められたクロックを基に予め定められた周期でデータ伝送を行い、セカンダリ側装置はデータ伝送にตอบสนองしてそのデータ伝送のタイミングと自装置内の計時値との誤差に応じて自装置内のクロックを補正するのである。さらに、プライマリ側装置は自装置内のカウンタのカウント

値が所定値になったときにデータ伝送を行い、セカンダリ側装置は自装置内カウンタのカウント値とデータ伝送の発生時点における基準カウント値との誤差に応じて自装置内のクロックを補正するのである。

【0044】この場合、セカンダリ側装置におけるクロックの補正は、誤差に対応する誤差データをD/A変換器で電圧値に変換し、この変換後の電圧値を制御電圧とする電圧制御発振器の発振周波数に応じて自装置内のクロックを生成する。また、第2の実施形態においては、セカンダリ側装置はデータ伝送夫々に対応する誤差データを順次保持しておき、プライマリ側装置からセカンダリ側装置に対するデータ伝送が途絶えたときこの保持されている誤差データの平均値をD/A変換器によって電圧値に変換するようにしているのである。

【0045】以上のように、同期データの伝送を、非同期データ伝送部を介して行う場合、従来装置ではデータスリップ分のバッファを設けたり、スリップしたフレーム分のデータの再送を行って転送していたのに対し、本発明ではプライマリ側のCLKをセカンダリ側に伝送し、そのCLKに同期して動作することにより、スリップや再送の起こらない伝送を行っているのである。これにより、連続した無限長データの伝送を行えるようにしているのである。

【0046】

【発明の効果】以上説明したように本発明は、プライマリ側セカンダリ間のI.430伝送クロックを同期させることにより、プライマリ側セカンダリ間でデータのスリップが発生しないという効果がある。また、クロックの同期によってデータのスリップが発生せず、バッファへの蓄積及び再送が無くなることにより、連続した無限長のデータを伝送できるという効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態によるデータ伝送システムの構成を示すブロック図である。

【図2】図1中のプライマリ側伝送装置の動作を説明するためのフローチャートである。

【図3】図1中のセカンダリ側伝送装置の動作を説明するためのフローチャートである。

【図4】図1中のD/Aコンバータの内部構成例を示すブロック図である。

【図5】本発明の第2の実施の形態によるデータ伝送システムの構成を示すブロック図である。

【図6】図5中のセカンダリ側伝送装置の動作を説明するためのフローチャートである。

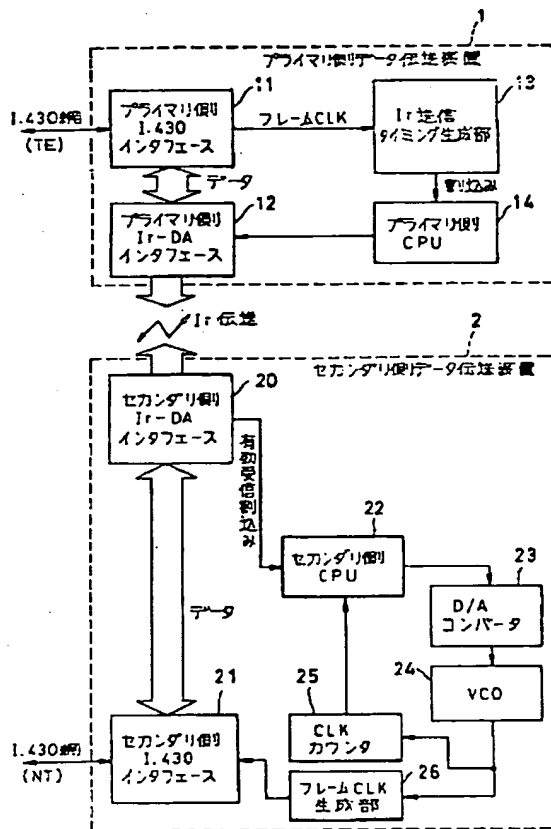
【符号の説明】

- 1 プライマリ側データ伝送装置
- 2 セカンダリ側データ伝送装置
- 11 プライマリ側I.430インタフェース
- 12 プライマリ側Ir-DAインタフェース
- 13 Ir送信タイミング生成部

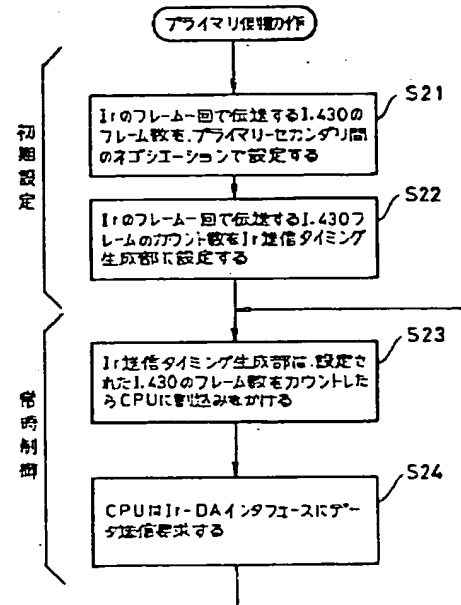
- 14 プライマリ側CPU
20 セカンダリ側I^r-DAインタフェース
21 セカンダリ側I. 430インタフェース
22 セカンダリ側CPU
23 D/Aコンバータ

- 24 VCO
25 CLKカウンタ
26 フレームCLK生成部
27 メモリ
28 割込みタイミング監視タイマ

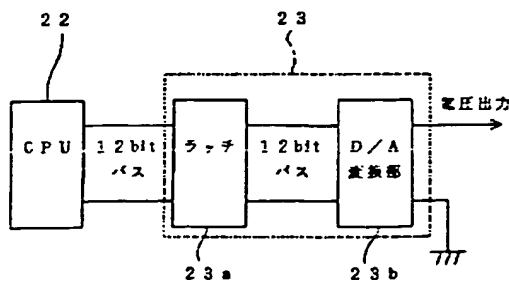
【図1】



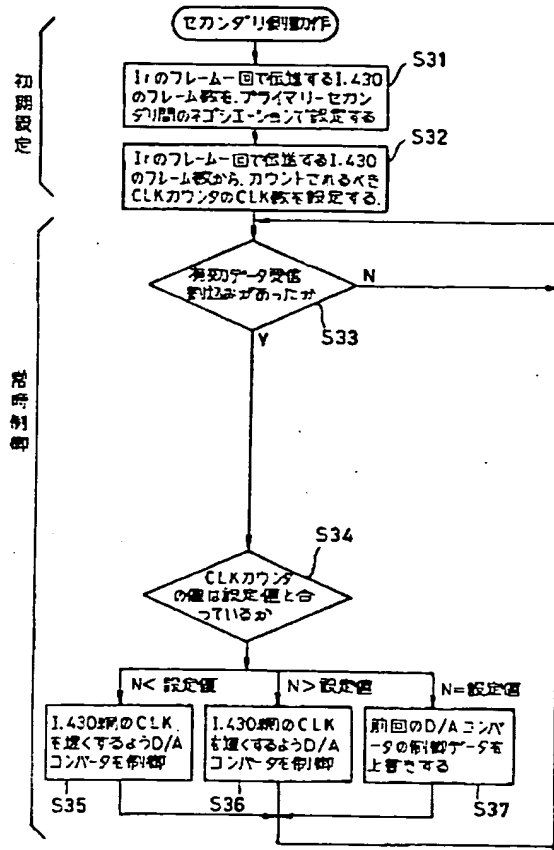
【図2】



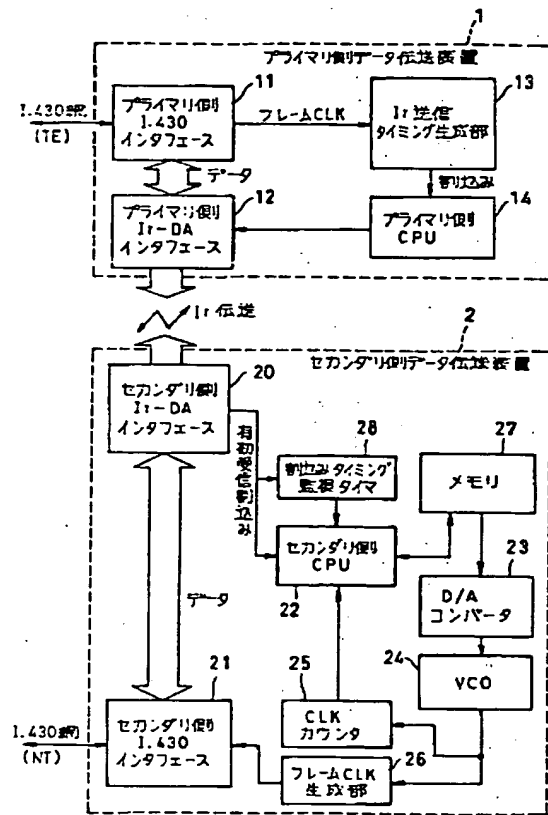
【図4】



【図3】



【図5】



【図6】

